

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-237143

(43)Date of publication of application : 03.10.1988

(51)Int.Cl.

G06F 12/10

G05B 19/04

G06F 12/06

(21)Application number : 62-072005

(71)Applicant : NEC CORP

(22)Date of filing : 25.03.1987

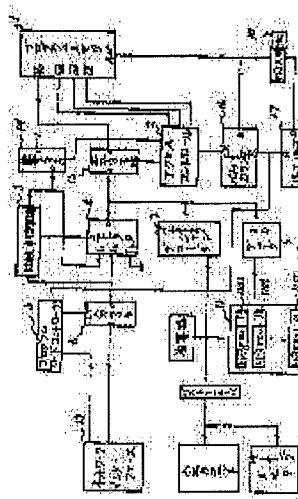
(72)Inventor : SAWADA AKIRA

## (54) PROGRAMMABLE CONTROLLER

### (57)Abstract:

**PURPOSE:** To attain the administration of a memory without using a complicated hardware by executing the rewrite and the execution of a program by making an identifier correspond to a host machine.

**CONSTITUTION:** Clocks are given from an access control 2 to a binary counter 16 so as to sequentially increase addresses and when the address reaches a specified value an address detector 18 actuates to reset the binary counter 16 via a flip flop 17. A circulating address is given to a program memory 1 by the above-mentioned actions. The program supplied from the host machine is latched by an input latch 6. A selector 4 selects and outputs any of an output from a reading latch 14, an output from the input latch 6 and ineffective data. The selection is executed based on the identifier in the reading latch 14 or the identifier in the input latch 6.



⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 昭63-237143

⑬ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)10月3日  
G 06 F 12/10 G-7927-5B  
G 05 B 19/04 A-7740-5H  
G 06 F 12/06 Z-8841-5B 審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 プログラマブルコントローラ

⑯ 特 願 昭62-72005

⑰ 出 願 昭62(1987)3月25日

⑱ 発 明 者 澤 田 明 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

プログラマブルコントローラ

特許請求の範囲

プログラムを格納するメモリの一定範囲のアドレスを一定周期で巡回指定する手段と、前記手段により指定されたある番地の第1の内容を読み取って第2の内容に替換する手段と、前記第1の内容の内の複数ビットで示される識別子と外部より与えられる第3の内容の内の識別子とを比較した結果および前記第2の内容の識別子以外の部分で指示された条件により前記第1の内容または前記第3の内容または複数内容のいずれかを前記第2の内容として選択する手段とを有することを特徴とするプログラマブルコントローラ。

発明の詳細な説明

(最優先の利用分野)

本発明はプログラマブルコントローラ、特に複数のホストマシンからそれぞれ独立にプログラムを書換えを要求されるプログラマブルコントローラに関する。

(従来の技術)

従来、この種のコントローラは汎用コンピュータの技術であるページング機構を用いて構成されていた。すなわち、プログラムを一定の小区分(ページ)単位に切ってページ単位で物理メモリに割当て、実行時に論理アドレスを物理アドレスへ変換する方法である。この方法はページを物理アドレスに割当てる場合にページ間の順序や物理的連続性を気にしないで良いので、多数のプログラムを独立のタイミングで追加、削除しても障害が起きなくなるといったことは無い。

(発明が解決しようとする問題点)

しかしながら上述のページング機構はアドレス変換の部分のハードウェア量が多く、装置価格が高価になるという欠点がある。また、最近では半導体メモリが安くなったので、実際必要なメモリ量

特開昭63-237143(2)

の3〜5倍のメモリを要してページングを行なわない方式もでてきた。したがって余分のメモリをつけているので価格が高くなるという欠点がある。

〔問題点を解決するための手段〕

本発明のプログラマブルコントローラは、プログラムを格納するメモリの一範囲のアドレスを一定周期で巡回指定する手段と、前記手段により指定されたある番地の第1の内容を読み取って第2の内容に置換する手段と、前記第1の内容の内の指定ビットで示される識別子と外部より与えられる第3の内容の内の識別子とを比較した結果および前記第3の内容の識別子以外の部分で指示された条件により前記第1の内容または前記第3の内容または無効内容のいずれかを前記第2の内容として選択する手段とを有して構成される。

〔実施例〕

第1図は本発明の第1の実施例を示すブロック図である。同図においてプログラムコントローラはアクセスコントロール2からバイナリカウンタ

16にクロックを与えてアドレスを順次増加し、このアドレスが一定値に達するとアドレス検出18が動作し、フリップフロップ17を経由してバイナリカウンタ16にリセットをかける。以上の動作によりプログラムメモリ1に巡回アドレスが与えられる。また、アクセスコントロール2はプログラムメモリ1にチップセレクト信号( $\overline{CS}$ )、リード信号( $\overline{RD}$ )を与えて内容を読み出し読取ラッチ14に記録する。さらに出力バッファ15の内容をプログラムメモリ1に導込むためにアクセスコントロール2よりチップセレクト信号( $\overline{CS}$ )、ライト信号( $\overline{WE}$ )を出す。

一方、ホストマシンから供給されるプログラムはネットワークインターフェース13を経由してプログラムロードコントローラ4の制御のもとに入力ラッチ6に記録する。入力ラッチ6と読取ラッチ14の出力は比較・判定回路3で判定され、この結果をセレクト4に与える。セレクト4では読取ラッチ14の出力または入力ラッチ6の出力または無効データのいずれかを選んで出力する。

この選択の条件として「読取ラッチ14の内の識別子が無効データであるかあるいは入力ラッチ6の内の識別子と一致したら入力ラッチ6の内容を出力する」としておく。識別子でホストマシンの区別をしておけば、複数のホストマシンからの置換えが他のホストマシンのプログラムに影響せずに行なえる。

次にセレクト4の出力のうち、命令の部分はインストラクションデコーダ7に入って解釈・実行される。セレクト4の出力のうち、識別子の部分はIDデコーダ8に入ってレジスタバンク11の選択を行なう。今、ホストマシンを最大15台とすればレジスタバンク11には15組のレジスタセットが必要となる。レジスタセットの中にはアキュムレータ、プログラムステータスワードの他にジャンプ先のラベルもしくはジャンプ先までの相対距離を保持するレジスタもある。

第2図は本発明の第2の実施例を示すブロック図である。同図においてプログラムメモリ1αとしてFIFO(先入れ先出しメモリ)を用いてい

る。アクセスコントロール2αからFIFOの出力クロックRCKと書き込みクロックWCKを交互に与えることによりメモリの巡回アクセスと等価な動作を得ている。

〔発明の効果〕

以上のように本発明は識別子をホストマシンに対応させてプログラムの置換え、実行を行なっており、特に複雑なハードウェアを要せずにメモリ管理ができる。識別子を4ビットで表わすとすると1語32ビットの命令に対し12.5%のメモリ増加、1語16ビットの命令に対し25%のメモリ増加となるが、従来のページング機構を用いない方法では通常の3〜5倍のメモリを必要としていたので大層な削減効果がある。

また、プログラムメモリが物理的アドレス順に巡回アクセスされるので、ダイナミックメモリを用いた場合でもリフレッシュ回路を必要としない利点がある。

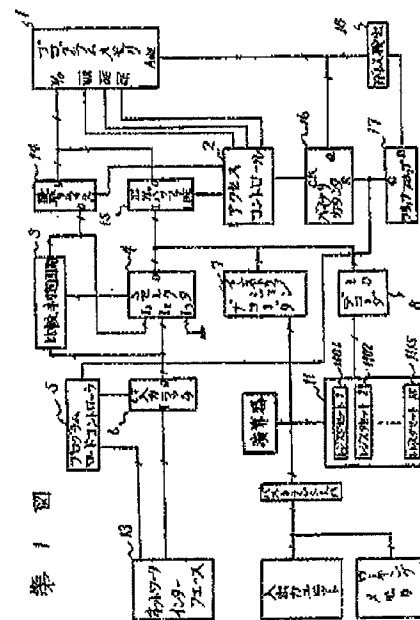
図面の簡単な説明

特開昭63-237143(3)

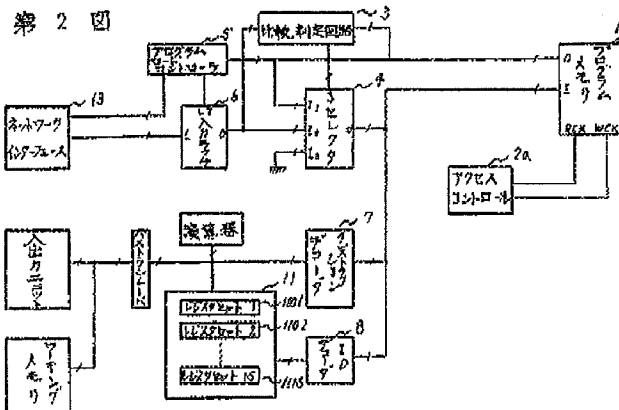
第1図は本発明の第1の実施例のブロック図、  
第2図は第2の実施例のブロック図である。

1…プログラムメモリ、2…アクセスコント  
ール、3…比較・判定回路、4…セレクタ、5…  
プログラムロードコントローラ、6…入力ラッチ、  
7…インストラクションデコーダ、8…IDデ  
コーダ、11…レジスタバンク、13…ネットワ  
ークインターフェース、14…読取りラッチ、15  
…出力バッファ、16…バイナリカウンタ、17  
…フリップフロップ、18…アドレス検出。

代理人 井原士 内 原 晋



第 1 図



第 2 図